



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

碩士學位論文

광 검출 및 정보 저장이 가능한
플로팅-게이트 트랜지스터 개발

嘉泉大學校 大學院

나노科學技術融合學科

電子工學 專攻

金 成 宰

碩士學位論文

광 검출 및 정보 저장이 가능한
플로팅-게이트 트랜지스터 개발

Development of floating-gate transistors capable of
photodetection and information storage

嘉泉大學校 大學院

나노科學技術融合學科

電子工學 專攻

金 成 宰

碩士學位論文
指導教授 柳 浩 天

광 검출 및 정보 저장이 가능한
플로팅-게이트 트랜지스터 개발

Development of floating-gate transistors capable of
photodetection and information storage

위 論文을 電子工學 碩士學位 論文으로 提出함.

2022 年 12 月 16 日

嘉泉大學校 大學院
나노科學技術融合學科
電子工學 專攻
金 成 宰

이 論文을 金 成 宰의
工學碩士 學位論文으로 認准함

2022 年 12 月 16 日

審査委員長

김창현



審査委員

유호천



審査委員

최준환



국문 초록

광 검출 및 정보 저장이 가능한 플로팅-게이트 트랜지스터 개발

김성재
지도 교수 유호천
가천대학교 일반대학원 나노과학기술융합학과
전자공학전공

본 연구에서는 광 검출과 정보 저장 기능을 하나의 소자에서 동시에 수행할 수 있는 광 메모리 트랜지스터를 특성화하고 그 메커니즘을 분석한다. 기존의 이미지 검출 시스템에서는 광 검출기에서 감지된 빛 신호가 전기 신호로 변환되고 금속 배선을 통해 메모리에 저장되기 때문에 광 검출기와 메모리 사이에서 신호 지연 시간이 발생한다. 반면, 광 메모리 트랜지스터의 경우에는 하나의 소자에서 두 기능 모두 수행한다. 따라서 광 검출기와 메모리 소자 사이의 금속 배선을 감소시킴으로써 불필요한 신호 지연 문제를 완화할 수 있고, 서로 다른 두 장치의 기능을 동시에 수행할 수 있어 영상 인식 시스템의 소형화 가능성도 존재한다. 이러한 장점으로 광 메모리 트랜지스터는 이미지 감지 및 처리 기능이 가장 중요한 차세대 애플리케이션의 잠재적인 핵심 구성 요소로 적용될 수 있다. 따라서 우리는 저분자 유기 반도체 /CYTOP/CuO NPs와 같은 적층 구조를 갖는 dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene (DNTT) 기반 광 메모리 트랜지스터의 빛에 의존적인 메모리 동작 특성에 대해 scanning electron microscopy (SEM), atomic force microscopy (AFM),

ultraviolet photoelectron spectroscopy (UPS) 와 ultraviolet-visible spectroscopy (UV-Vis) 등의 종합적인 분석을 통해 메커니즘을 조사한다. 또한 제안된 광 메모리 트랜지스터의 조도에 따른 메모리 상태를 분석했다. 최종적으로는 12×12 광 메모리 트랜지스터 어레이를 구성하여 빛 조사 유무에 따른 텍스트 이미지 검출 및 저장 까지 시연한다.

목차

I. 서론	1
II. 광 메모리 트랜지스터의 제작 및 박막 분석	4
2.1 광 메모리 트랜지스터의 제작	4
2.2 광 메모리 트랜지스터를 구성하는 층별 박막 분석	8
III. 광 메모리 트랜지스터의 메모리 동작 및 메커니즘 분석	10
3.1 빛 의존적인 광 메모리 트랜지스터의 메모리 동작	10
3.2 조도에 따른 광 메모리 트랜지스터의 다중 메모리 상태	17
3.3 광 메모리 트랜지스터의 동작 메커니즘 분석	23
3.3.1 전자 및 정공 주입 장벽 특성 분석	23
3.3.2 광 메모리 트랜지스터의 동작 메커니즘	26
IV. 광 메모리 트랜지스터 어레이를 이용한 이미지 검출 시연	28
V. 결론	37
참고 문헌	38
발표 논문	43
영문 초록	46

그림 목차

II. 광 메모리 트랜지스터의 제작 및 박막 분석

- 그림. 2.1 광 메모리 트랜지스터 제작 과정. (i) CuO NPs 및 (ii) CYTOP 용액 스핀 코팅. (iii) 제작된 플로팅-게이트와 터널링 절연막. (iv) 열 증착기를 통한 DNTT 채널 및 Au 드레인/소스 전극 증착. (v) 제작된 광 메모리 트랜지스터 어레이의 그림. (vi) 어레이를 구성하는 단일 광 메모리 트랜지스터의 세부 구조.6
- 그림. 2.2 제안된 광 메모리 트랜지스터의 (a) 구조 모식도, (b) 광학 현미경 이미지 (스케일 바 = 500 μm), (c) 단면 SEM 이미지 (스케일 바= 100 nm).7
- 그림. 2.3 그림. 2.3. SiO₂ 위에 (a) CuO NPs, (b) CYTOP 및 (c) DNTT 층을 순차적으로 형성한 직후의 AFM 이미지.9

III. 광 메모리 트랜지스터의 메모리 동작 및 메커니즘 분석

- 그림. 3.1 (a) 제안된 광 메모리 트랜지스터의 개략도. (b) 광 메모리 트랜지스터의 특성화를 위한 측정 순서. 12
- 그림. 3.2 광 메모리 트랜지스터 측정에 사용한 LED 조명을 구성하는 각 파장의 강도. 13
- 그림. 3.3 (a) 초기 상태 및 E-state의 전달 곡선. (b) dark 아래

	에서 형성된 P-state 및 (c) 빛 조사 아래에서 형성된 P-state의 전달 곡선.	14
그림. 3.4	Programming 동작 중 빛 조사 유무에 따른 (a) V_{th} 의 이동 정도 및 (b) I_{Read} 변화 비교.	15
그림. 3.5	광 메모리 트랜지스터의 E-state 및 P-state의 유지 특성을 조사하기 위한 시간 경과에 따른 I_{Read} 의 경향.	16
그림. 3.6	(a) 광 메모리 트랜지스터의 소자 구조 모식도 및 각 전극의 정의. (b) dark 아래에서 erasing 동작 및 (c) 빛 조사 아래에서 programming 동작 개략도.	19
그림. 3.7	Programming 동작 중 조사된 빛의 조도가 각각 880 lx, 3,800 lx, 5,500 lx인 (a) P-state 1, (b) P-state 2, (c) P-state 3의 전달 곡선.	20
그림. 3.8	서로 다른 조도에 따라 형성된 각 P-state의 (a) I_{Read} 와 (b) V_{th} 의 비교.	21
그림. 3.9	광 메모리 트랜지스터의 4 가지 메모리 상태의 시간에 따른 유지 특성.	22
그림. 3.10	UPS를 통해 측정된 DNTT의 (a) 이차 컷오프 영역 및 (b) 가전자대 가장 자리 영역. (c) DNTT의 광학 밴드갭 추출을 위한 흡광도에 기반한 $Tauc$ plot. (d) DNTT와 Au 사이의 전자 및 정공 주입 장벽.	25

그림. 3.11 (a) 높은 음의 게이트 전압 ($V_G = -100$ V)을 통한 erasing 동작. (b) dark 아래에서 높은 양의 게이트 전압을 통한 programming 동작 ($V_G = 100$ V). (c) 빛 조사 하에서 생성된 전자를 사용한 높은 양의 게이트 전압 ($V_G = 100$ V)을 통한 programming 동작. 27

IV. 광 메모리 트랜지스터 어레이를 이용한 이미지 검출 시연

그림. 4.1	4 인치 웨이퍼에 제작된 12×12 광 메모리 트랜지스터 어레이.	30
그림. 4.2	12×12 광 메모리 트랜지스터 어레이를 구성하는 모든 소자의 초기 상태, E-state 및 P-state의 전달 곡선.	31
그림. 4.3	12×12 광 메모리 트랜지스터 어레이에서 특정 소자의 programming 동작이 해당 소자와 인접한 소자에 미치는 영향의 존재 유무를 확인하기 위한 인접한 4개의 광 메모리 트랜지스터의 전기적 특성.	32
그림. 4.4	144 개의 광 메모리 트랜지스터의 E-state 및 P-state의 균일도를 확인하기 위한 I_{Read} 의 매핑.	33
그림. 4.5	144 개의 광 메모리 트랜지스터의 P-state 와 E-state 의 I_{Read} 비 ($I_{P-state}/I_{E-state}$).	34
그림. 4.6	144 개의 광 메모리 트랜지스터의 (a) E-state 및 (b) P-state 에서의 V_{th} 분포.	35
그림. 4.7	(a) 12×12 광 메모리 트랜지스터 어레이의 부분적인	

빛 조사 아래에서 문자 이미지의 검출 및 저장 모식도.
12 × 12 광 메모리 트랜지스터 어레이를 구성하는
144 개 소자의 P-state 에서의 (b) V_{th} 및 (c) I_{Read} 를
통한 문자 "G" 매핑. 36

I. 서론

4차 산업혁명 시대에 많은 기술이 엄청난 속도로 발전하고 있으며, 그 중에서도 인공지능 [1-3], 자율주행차 [4-6], 및 원격의료 [7-9]는 많은 관심을 받고 있는 새로운 응용 분야이다. 이러한 각 애플리케이션에서 이미지 센서 기반 카메라 기술의 개발은 매우 중요하다. 구체적으로, 앞서 언급된 시스템의 후속 실행 절차는 직전에 획득한 이미지 정보를 기반으로 결정된다. 또한, 이러한 애플리케이션은 일상 생활에 직접적인 영향을 미칠 수 있기 때문에 정확하고 빠른 이미지 감지가 필수적이다. 따라서, 이미지 정보의 검출 및 처리에 기반한 혁신 기술의 안정적인 상용화를 위한 고성능 이미지 센서의 개발이 시급한 실정이다.

한편, 광 메모리 트랜지스터는 빛에 노출되어 광전류를 발생시키는 광 검출기가 통합된 단일 구조의 메모리 소자이다. 이 소자는 광 검출기 기능과 전하 트래핑을 통해 광 신호 정보를 저장하는 메모리 기능을 결합합니다. 그 결과, 메모리 소자 자체적으로 빛의 파장 및 세기와 같은 조사되는 빛의 특성에 따라 메모리 상태를 조정할 수 있다 [10-13]. 기존의 이미지 정보 검출 과정에서는 광 검출기를 통해 검출된 광 정보를 메모리 셀로 전송하는 과정이 필요하여, 이는 정보 전달 과정에서 불가피한 전파 지연을 야기한다 [14]. 그러나, 제안된 광 메모리 트랜지스터에서는 광 응답과 동시에 메모리에 광 정보가 저장되는 구조로 인해 전파 지연으로 인한 어려움을 감소시킨다. 또한, 서로 다른 장치에서 수행되는 광 검출 및 정보 저장과 같은 두 가지 기능이

하나의 장치로 통합되기 때문에 전체 시스템 크기를 감소시킬 수 있다. 이러한 장점 때문에 최근 광 메모리 트랜지스터가 상당한 주목을 받고 있다. 그러나 광 메모리 트랜지스터에는 여전히 몇 가지 한계가 존재한다. (1) 첫째, 대부분의 선행연구의 결과는 광 메모리 트랜지스터의 전달 곡선 특성을 단방향의 전압 스위칭에 대해서만 보여주었다 [15-18]. 신뢰할 수 있는 메모리 특성을 보여주기 위해서는 전압 스위칭 방향에 관계없이 동일한 전압이 인가될 때 동일한 전류 특성이 확보되어야 한다. 따라서 메모리 상태에 따른 광 메모리 트랜지스터의 전달 곡선에서 이중 스위칭 동작을 보여줌으로써 안정적인 동작 특성을 보여줄 필요가 있다. (2) 둘째, 빛을 통한 기억 특성을 보여주는 선행 보고된 연구들은 프로그래밍된 상태와 지워진 상태만을 보여주었다 [19-21]. 종래의 메모리 장치에서는 0과 1과 같은 특정 논리값을 구별할 수 있는 경우에만 이 정도면 충분하다. 그러나 광 메모리 트랜지스터의 핵심은 빛에 대한 정보를 저장하는 것이기 때문에 빛 정보와 관련된 파장 또는 빛 강도에 따른 다중 메모리 상태 특성이 요구되어야 한다. (3) 셋째, 플로팅-게이트에 주로 사용된 재료는 Au, Ag와 같은 귀금속 또는 고가의 유기 재료들이었다. 따라서 추후 대량 생산을 위해 높은 희소성에 의해 제한되는 고비용 공정이 필요하다는 제한점이 존재한다 [22-24]. 따라서, 상대적으로 저렴하고 주변 공기에 노출되어도 안정적인 대체 재료에 대한 연구가 필요하다. (4) 넷째, 가장 강조되는 것은 트랩이 없는 계면을 갖는 층의 증착이 필요하다. 플로팅-게이트 구조는 적어도 4개의 다층 증착 (즉, 게이트 절연막, 플로팅-게이트, 터널링 절연막 및 반도체 채널 층)을 통해 이루어지므로 [25-28],

programming 및 erasing 동작에 대한 동작 안정성과 누설 전류 감소를 달성하기 위해서는 각 층이 계면 트랩 또는 결함이 없는 표면을 가져야 한다. (5) 마지막으로, 광 메모리 트랜지스터의 특성을 구현하기 위한 많은 연구가 보고되었지만, 대부분의 연구는 단위 장치 수준만 입증했다. 이미지 검출과 같은 보다 실용적인 기능을 가진 응용 분야에서는 대면적 기판에서 충분한 수율에 기반하여 단위 소자를 넘어 어레이 수준으로 개발하는 것이 필수적이다.

본 논문에서는 누적적으로 적층된 저분자 유기 반도체 /CYTOP/CuO NPs와 같은 적층 구조를 갖는 144 개의 dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene (DNTT) 기반 광 메모리 트랜지스터로 구성된 12×12 어레이를 시연한다. 제안된 광 메모리 트랜지스터는 전술한 5가지 요건 (1)-(5)을 충족한다. 제안된 광 메모리 트랜지스터는 dark 아래에서 프로그래밍 되지 않는 반면, 빛 조사 아래에서는 빛의 조도에 대한 함수로 4 개의 뚜렷한 메모리 상태를 제공한다. 제안된 광 메모리 트랜지스터를 기반으로 4 인치 웨이퍼에 144 개의 소자로 구성된 12×12 광 메모리 트랜지스터 어레이를 제작한다. 제작된 144 개의 모든 광 메모리 트랜지스터가 이력 특성 없이 빛에 의존적인 메모리 동작을 수행함으로써 100%의 수율을 달성했다. 또한, 144 개의 소자들은 P-state와 소거된 상태 (E-state)에서 읽기 전류 (I_{Read})의 적은 변동을 통해 균일성을 확인하였다. 최종적으로는 I_{Read} 및 문턱전압 (V_{th}) 매핑을 통해 programming 동작 동안 빛 조사 유무에 따른 비휘발성 메모리 속성을 가진 알파벳 "G"에 대한 텍스트 이미지 감지 및 저장을 시연한다.

II. 광 메모리 트랜지스터의 제작 및 박막 분석

2.1 광 메모리 트랜지스터의 제작

광 메모리 트랜지스터를 제작을 위해 먼저 300 nm 두께의 SiO₂가 형성된 *p*형 Si 기판을 준비했다. 여기서, SiO₂는 C_{ox} (단위 면적당 커패시턴스)가 11.5 nF/cm² 인 게이트 유전체, *p*형 Si 기판은 게이트 전극으로 사용되었다. 기판은 에탄올과 IPA (이소프로필 알코올)에 넣고 초음파 세척기를 이용하여 각각 10분 동안 세척하였다. 그런 다음 플로팅-게이트를 형성하기 위해 0.35 ml의 CuO NPs (산화 구리 나노파티클) 용액을 도포하고 3,000 rpm으로 30초간 스핀 코팅한 후 용매를 제거하기 위해 120 °C에서 30분간 열처리하였다. 다음으로 터널링 유전체로 CYTOP과 용매가 1:10 비율로 혼합된 용액을 0.2 ml 도포하고 1,000 rpm으로 30초간 스핀 코팅하였다. 이후 용매를 증발시키기 위해 120 °C에서 1시간 동안 열처리하였다. 채널층으로는 *p*형 유기반도체 재료인 DNNT (dinaphtho[2,3-*b*:2',3'-*f*]thieno[3,2-*b*]thiophennne)을 열 증착기를 이용하여 56 nm 증착하였으며, 마찬가지로 소스/드레인 전극은 100 nm 두께의 Au를 증착하였다. 이 때 채널층과 소스/드레인 전극은 각각에 해당하는 패턴이 형성된 금속 웨도우 마스크를 이용하여 패터닝하였다. 앞서 설명한 광 메모리 트랜지스터의 제작 순서는 그림. 2.1에 나타냈다. 제작된 광 메모리 트랜지스터의 광학 현미경 이미지는 그림. 2.2에 나타냈으며 채널 길이 및 폭은 100 μm와 1,000 μm이다. 또한, 광 메모리 트랜지스터의 단면을 촬영한

SEM 이미지를 통해 각 층들이 잘 형성되었음을 확인하였다 (그림. 2.3).

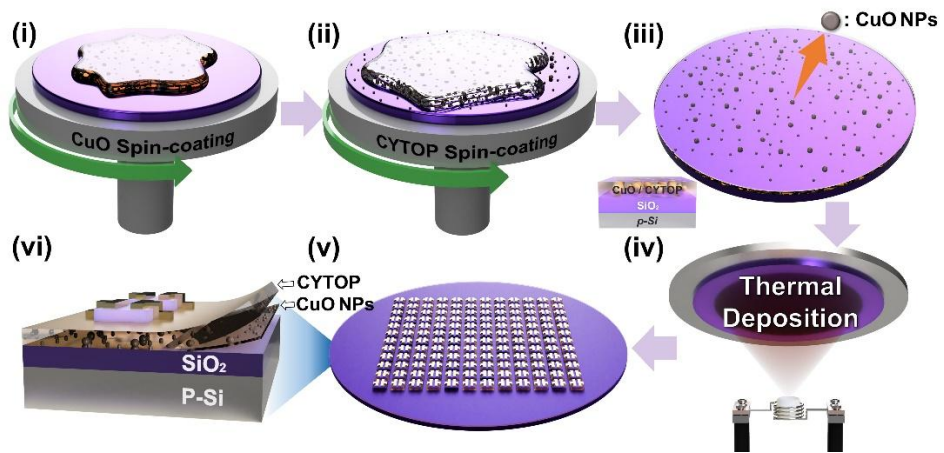


그림. 2.1 광 메모리 트랜지스터 제작 과정. (i) CuO NPs 및 (ii) CYTOP 용액 스핀 코팅. (iii) 제작된 플로팅-게이트와 터널링 절연막. (iv) 열 증착기를 통한 DNTT 채널 및 Au 드레인/소스 전극 증착. (v) 제작된 광 메모리 트랜지스터 어레이의 그림. (vi) 어레이를 구성하는 단일 광 메모리 트랜지스터의 세부 구조.

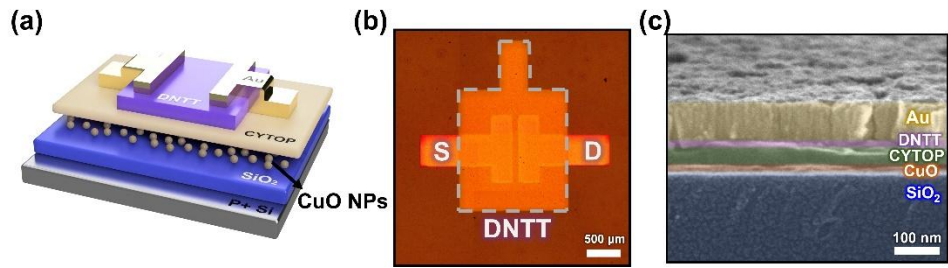


그림. 2.2 제안된 광 메모리 트랜지스터의 (a) 구조 모식도, (b) 광학 현미경 이미지 (스케일 바 = 500 μ m), (c) 단면 SEM 이미지 (스케일 바= 100 nm).

2.2 광 메모리 트랜지스터를 구성하는 층별 박막 분석

광 메모리 트랜지스터를 제작하는 과정에서 3개의 층 (CuO NPs, CYTOP, DNTT)을 순차적으로 형성할 때 각 층의 AFM 이미지를 통해 박막의 거칠기의 변화를 확인하였다. 그림. 2.4a-c는 각각 CuO NPs, CYTOP, DNTT가 누적되며 형성될 때의 단계별 AFM 이미지이다. 그림 2.4a는 CuO NPs을 스핀 코팅한 직후의 AFM 이미지이며, 각 입자들이 밀집되어 있지 않고 마치 섬처럼 고르게 잘 분포되어 형성된 것을 보여준다. 이 때의 표면 거칠기는 1.829 nm로 추출되었다. 이는 CYTOP을 코팅한 직후 0.483 nm로 크게 개선됨을 확인하였다 (그림. 2.4b). 개선된 표면 거칠기 특성 덕분에 DNTT 채널층이 많은 결정립계에 의한 전기적 특성 저하와 같은 열화 없이 형성될 수 있었다. 다음으로 CYTOP 위에 DNTT 채널층을 증착한 이후에는 거칠기가 7.091 nm까지 증가하였다 (그림. 2.4c). 크게 증가된 DNTT 표면의 거칠기는 이후 소스/드레인 전극으로 Au가 증착되었을 때, DNTT와 Au 간 접촉 면적이 증가하는 효과가 있다. 따라서 증가된 접촉 면적에 의해 전하 주입 특성이 향상될 수 있다.

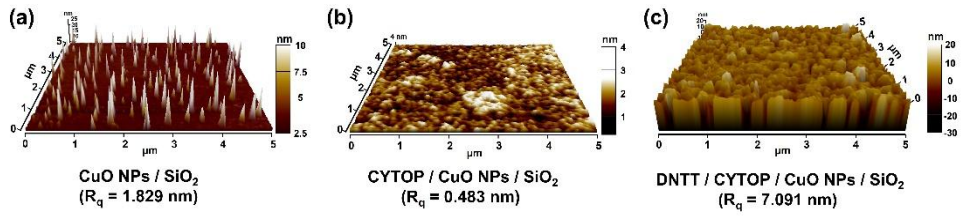


그림. 2.3. SiO_2 위에 (a) CuO NPs, (b) CYTOP 및 (c) DNTT 층을 순차적으로 형성한 직후의 AFM 이미지.

III. 광 메모리 트랜지스터의 메모리 동작 및 메커니즘 분석

3.1 빛 의존적인 광 메모리 트랜지스터의 메모리 동작

제안된 광 메모리 트랜지스터의 기호를 그림 3.1a에 나타냈다. 광 메모리 트랜지스터의 빛에 의존적인 메모리 동작을 특성화 하기 위한 측정 순서로는 그림. 3.1b와 같이 dark에서 erasing 동작 (지우기 동작)과 programming 동작 (쓰기 동작) 후 빛 조사 아래에서 programming 동작을 진행하였다. 측정에서 사용한 광원은 가시광 영역의 다중 파장을 갖는 LED이며, 해당 LED의 파장 특성은 그림 3.2에 나타냈다. 또한 erasing 및 programming 동작을 위한 게이트 전압은 각각 -100 V , 100 V 를 인가하였다. 이 때, erasing 또는 programming 동작 후 광 메모리 트랜지스터의 메모리 상태를 E-state와 P-state로 정의한다. 먼저 그림. 3.3에서 메모리 상태에 관계없이 모든 전달 특성에서 이력 특성이 없는 것이 확인되었는데, 이는 터널링 절연막으로 계면 트랩이 없는 강한 소수성을 띄는 CYTOP을 도입함으로써 달성되었다. 따라서 제안된 광 메모리 트랜지스터에서의 전하 트랩은 오직 erasing 또는 programming 동작과 같은 메모리 동작 수행시에만 이뤄진다는 것을 의미한다. 광 메모리 트랜지스터의 erasing 동작은 dark 아래에서 잘 수행되었으며, 그에 따른 결과로 전달 곡선이 음의 방향으로 이동하였다 (그림. 3.3a). 전달 곡선의 음의 방향으로의 이동은 플로팅-게이트에 정공이 트랩되었다는 것을 의미한다. 다음으로 dark 아래에서 programming 동작은 그림. 3.3b와 같이 전달 곡선의 이동이 관찰되지 않았다. 반면, 빛이 조사되는 환경

($L_{int} = 5,500 \text{ lx}$)에서 programming 동작을 수행한 경우에는 전달 곡선이 양의 방향으로 크게 이동되는 것이 관찰되었다 (그림. 3.3c). 이처럼 전달 곡선의 양의 방향으로의 이동은 전자가 플로팅-게이트에 트랩되었음을 의미한다. 그림. 3.4는 각각의 메모리 상태를 정량적으로 비교하기 위한 문턱 전압 (Threshold voltage, V_{th}) 및 드레인 전압이 -1 V , 게이트 전압이 0 V 일 때의 읽기 전류 (I_{Read})를 보여준다. 초기에 -4.14 V 이었던 V_{th} 는 erasing 후 -19.97 V 까지 이동하였다. 이후 dark 아래에서 programming 후에는 V_{th} 가 -19.55 V 로 거의 이동되지 않았지만, 빛 조사 아래에서 programming 했을 때는 1.53 V 까지 이동되었다. I_{Read} 의 변화도 V_{th} 의 이동과 마찬가지로 빛 조사 아래에서의 programming 동작 후에만 유의미한 증가가 있었다. dark 아래에서 형성된 E-state와 P-state의 전류와 빛 조사 아래에서 형성된 P-state의 전류는 각각 0.51 pA , 1.20 pA , $0.12 \mu\text{A}$ 로 나타났다. 따라서 dark 아래에서 형성된 E-state와 P-state의 전류비 ($I_{P\text{-state}}/I_{E\text{-state}}$)는 2.36 A/A 에 불과했지만, 빛 조사 아래에서 형성된 P-state의 I_{Read} 가 큰 폭으로 증가하여 $I_{P\text{-state}}/I_{E\text{-state}}$ 는 무려 $2.34 \times 10^5 \text{ A/A}$ 로 10^5 배 증가하였다. 이처럼 빛 조사 유무에 따른 메모리 동작 특성을 통해 광 메모리 트랜지스터의 programming 동작이 빛에 의존적이라는 것을 확인했다. 추가적으로 우리는 제안된 광 메모리 트랜지스터의 메모리 상태의 유지 특성을 조사하였다 (그림. 3.5). 그 결과, E-state와 P-state의 읽기 전류는 2,000초가 경과한 후에도 각 상태를 안정적으로 유지하였으며, $I_{P\text{-state}}/I_{E\text{-state}}$ 도 10^6 A/A 이상의 전류비를 유지하였다.

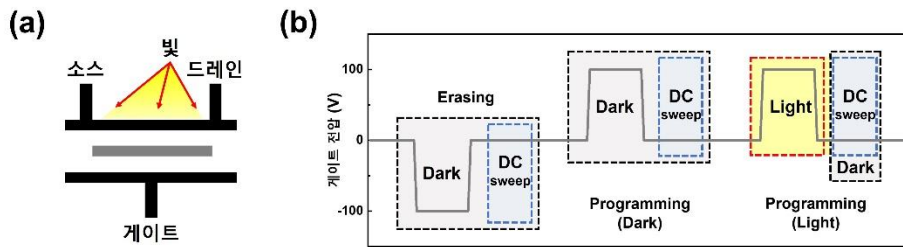


그림. 3.1 (a) 제안된 광 메모리 트랜지스터의 개략도. (b) 광 메모리 트랜지스터의 특성화를 위한 측정 순서 (Erasing 및 programming 동작의 경우 각각의 게이트 전압은 -100 V 및 100 V 를 인가함).

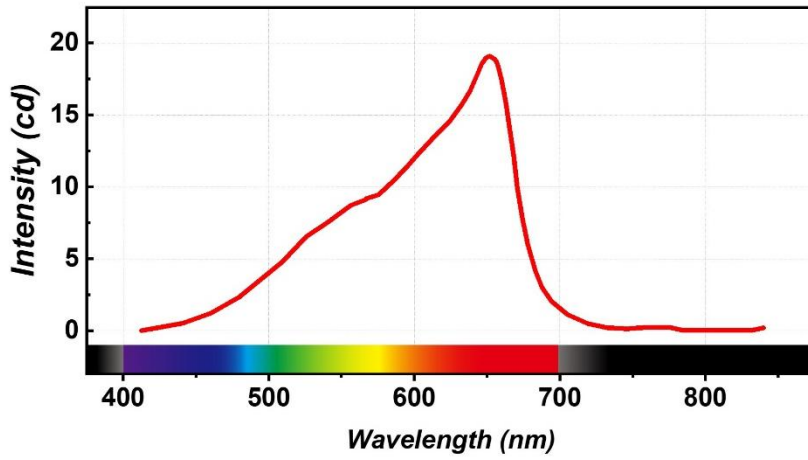


그림. 3.2 광 메모리 트랜지스터 측정에 사용한 LED 조명을 구성하는 각 파장의 강도.

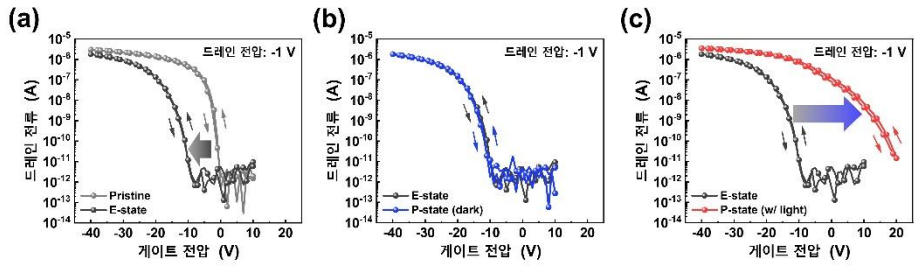


그림. 3.3 (a) 초기 상태 및 E-state의 전달 곡선. (b) dark 아래에서 형성된 P-state 및 (c) 빛 조사 아래에서 형성된 P-state의 전달 곡선.

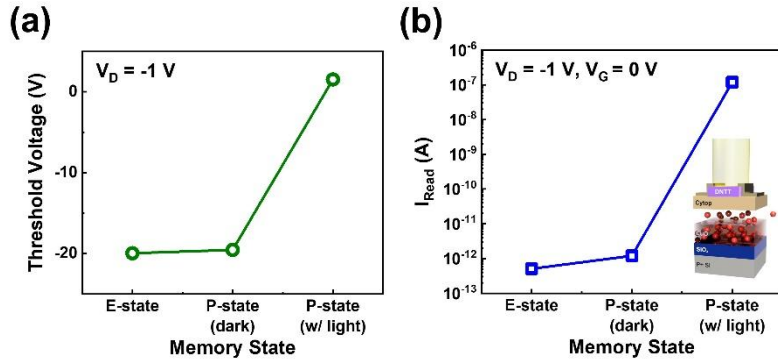


그림. 3.4 Programming 동작 중 빛 조사 유무에 따른 (a) V_{th} 의 이동 정도 및 (b) I_{Read} 변화 비교.

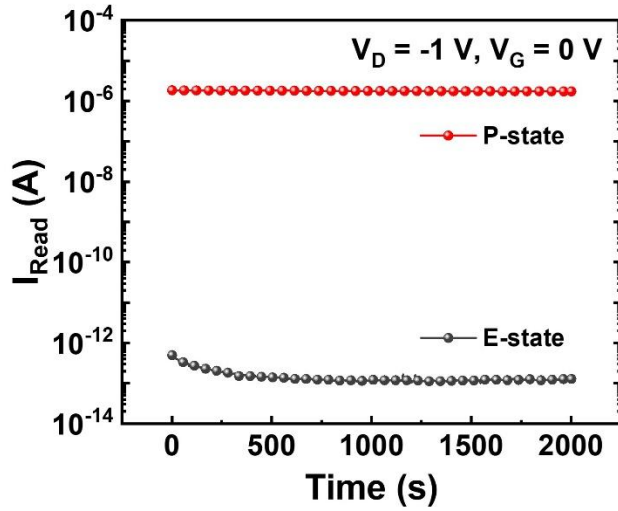


그림. 3.5 광 메모리 트랜지스터의 E-state 및 P-state의 유지 특성을 조사하기 위한 시간 경과에 따른 I_{Read} 의 경향.

3.2 조도에 따른 광 메모리 트랜지스터의 다중 메모리 상태

다음으로 제안된 광 메모리의 빛 의존적인 메모리 동작 특성에 대해 자세히 조사하기 위해 여러 조도에 대한 메모리 동작을 비교하였다. 그림. 3.6은 광 메모리 트랜지스터의 소자 구조 및 E-state와 P-state 일 때의 플로팅-게이트인 CuO NPs에 정공과 전자가 트랩된 상태를 도식화한 것이다. 빛에 의한 P-state를 형성하기 전에 erasing 동작 (-100 V의 게이트 전압을 3초간 인가)을 통해 광 메모리 트랜지스터를 초기화했다. 조도 변화에 따른 메모리 상태를 비교하기 위해 880 lx, 3,800 lx, 5,500 lx의 세 가지 조도를 사용하였다. 그런 다음, programming 동작 이후 전달 곡선의 양의 방향으로의 이동 정도가 조도의 증가와 함께 증가하는 것을 관찰했다 (그림. 3.7). 이를 통해 광 메모리 트랜지스터의 P-state는 programming 동작 중 조사된 조도와 비례 관계라는 것을 확인했다. 서로 다른 조도 아래에서의 P-state를 각각 P-state 1(880 lx), P-state 2 (3,800 lx) 및 P-state 3 (5,500 lx)로 정의한다. 그림 3.7은 조도가 증가함에 따라 형성된 메모리 상태 (P-state 1-3)의 V_{th} 와 I_{Read} 를 각각 비교한 것이다. E-state에서 1.24 pA였던 I_{Read} 는 조도가 880 lx와 3,800 lx로 점차 증가하면서 P-state 1와 P-state 2에서 각각 1.12 nA와 13 nA로 증가하였다. 더욱이, 가장 강한 빛 (5,500 lx)을 조사한 P-state 3의 I_{Read} 는 1.44 μA 로 E-state의 I_{Read} (1.24 pA)보다 약 10^6 배 증가한 수치이다. 마찬가지로, V_{th} 이동 정도도 E-state에서 -6.26 V였던 V_{th} 는 P-

state 1와 P-state 2에서 각각 -1.59 , -0.24 V로 양의 방향으로 이동하였다. 또한, $5,500$ lx의 조도로 조사하였을 때 V_{th} 는 -6.26 (E-state)에서 14.73 V (P-state 3)로 21 V만큼 양의 방향으로 이동하였다. 광 메모리 트랜지스터의 I_{Read} 의 증가량 및 V_{th} 이동 정도가 조도가 증가함에 따라 점진적으로 조절됨을 확인하였다. 따라서 제안된 빛 의존적인 광 메모리 트랜지스터는 조도에 따라 여러 메모리 상태를 형성 가능하다는 것을 확인했다. 우리는 E-state와 세 개의 P-state (P-state 1-3)와 같이 4 가지 구별된 메모리 상태의 유지 특성을 각각 측정했다 (그림. 3.8). 4개의 서로 다른 메모리 상태는 $2,000$ 초 동안 안정적으로 유지되었으며, 특히 인접한 메모리 상태 간의 전류 차이가 약 100 배 정도로 구별 가능한 상태를 유지하였다. 이와 같은 광 메모리 트랜지스터의 다중 메모리 상태는 최대 10^7 A/A의 큰 $I_{P-state}/I_{E-state}$ 에 의해 가능했다.

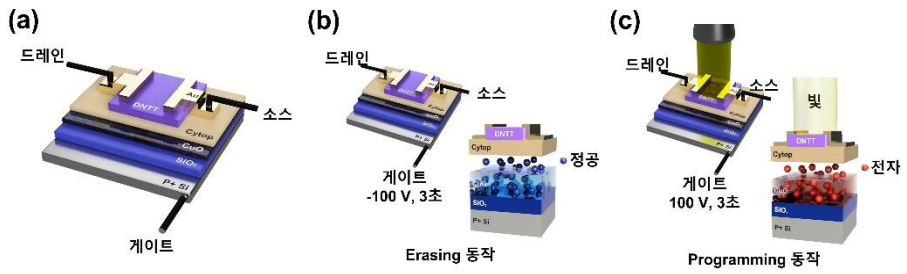


그림. 3.6 (a) 광 메모리 트랜지스터의 소자 구조 모식도 및 각 전극의 정의. (b) dark 아래에서 erasing 동작 및 (c) 빛 조사 아래에서 programming 동작 개략도.

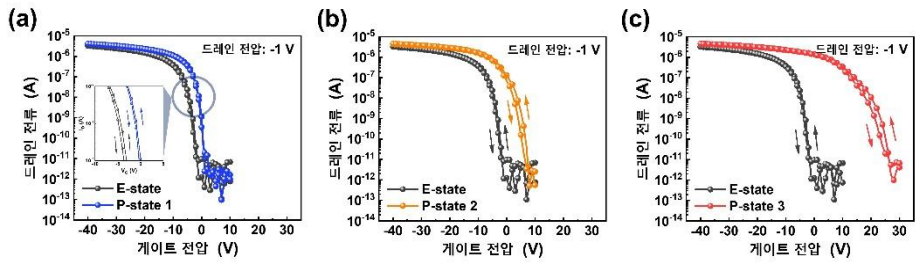


그림. 3.7 Programming 동작 중 조사된 빛의 조도가 각각 880 lx, 3,800 lx, 5,500 lx인 (a) P-state 1, (b) P-state 2, (c) P-state 3의 전달 곡선.

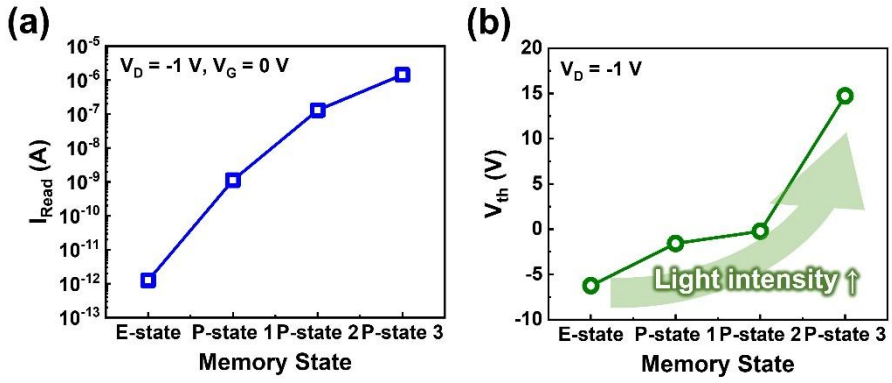


그림. 3.8 서로 다른 조도에 따라 형성된 각 P-state의 (a) I_{Read} 와 (b) V_{th} 의 비교.

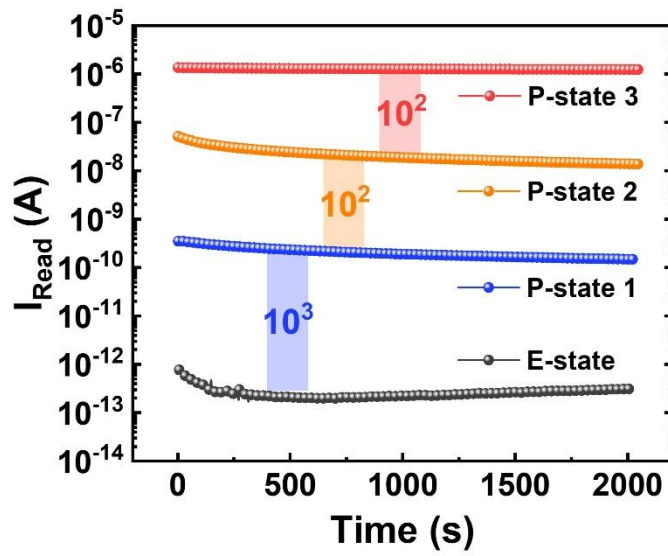


그림. 3.9 광 메모리 트랜지스터의 4 가지 메모리 상태의 시간에 따른 유지 특성.

3.3 광 메모리 트랜지스터의 동작 메커니즘 분석

3.3.1 전자 및 정공 주입 장벽 특성 분석

제안된 광 메모리 트랜지스터의 동작 메커니즘을 조사하기 위해 DNTT 의 에너지 구조를 자외선 광전자 분광법 (Ultraviolet photoelectron spectroscopy, UPS) 와 자외선-가시광선 분광법 (Ultraviolet-visible spectroscopy, UV-Vis 분광법)을 이용하였다. 그림 3.10a, b 는 UPS 분석 결과로 이차전자 컷오프 영역 (Secondary electron cutoff, SEC) 과 가전자대 가장 자리 영역을 보여준다. 이를 통해 DNTT 의 페르미 준위 (Fermi level, E_F)와 highest occupied molecular orbital (HOMO) 준위가 각각 -4.42 eV 와 -4.97 eV 로 추출되었다. 또한 UV-vis 분광법으로 측정된 흡광도를 기반으로 하는 Tauc plot 을 통해 DNTT 의 에너지 밴드갭 (E_g)이 2.61 eV 로 추출되었다 (그림 3.10c). 따라서 UPS 및 UV-vis 분광법을 통해 추출한 HOMO 준위과 에너지 밴드갭을 이용하여 DNTT 의 lowest unoccupied molecular orbital (LUMO) 준위는 -2.36 eV 임을 계산을 통해 알 수 있다. Au 의 일함수 (Work function, WF)는 이전에 보고된 연구에서의 값인 -4.7 eV 과 앞서 언급한 DNTT 의 에너지 구조 정보를 기반으로 그림 3.11 와 같이 에너지 밴드 다이어그램을 제시하였다 [29]. 정공 주입 장벽 ($\phi_{b, \text{hole}}$)에 해당하는 DNTT 의 HOMO 준위 (-4.97 eV)과 Au 의 WF (-4.7 eV)의 차이는 0.27 eV 이다. 반면 DNTT 의 LUMO 수준과 Au (-4.7 eV)의 WF 의 차이인 전자 주입 장벽 ($\phi_{b,$

ϕ_{electron})은 2.34 eV 로 정공 주입 장벽의 8.6 배에 달하는 크기이다. DNTT 채널 및 Au 소스/드레인 전극의 구조에서, 낮은 정공 주입 장벽 ($\phi_{\text{b, hole}} = 0.27 \text{ eV}$)과 높은 전자 주입 장벽 ($\phi_{\text{b, electron}} = 2.34 \text{ eV}$)의 형성은 전자 주입 거동이 제한적인 반면에 정공의 주입은 원활하다는 것을 암시하며, 이는 광 메모리 트랜지스터의 빛 의존적인 programming 동작의 메커니즘과 직접적인 관련이 있다.

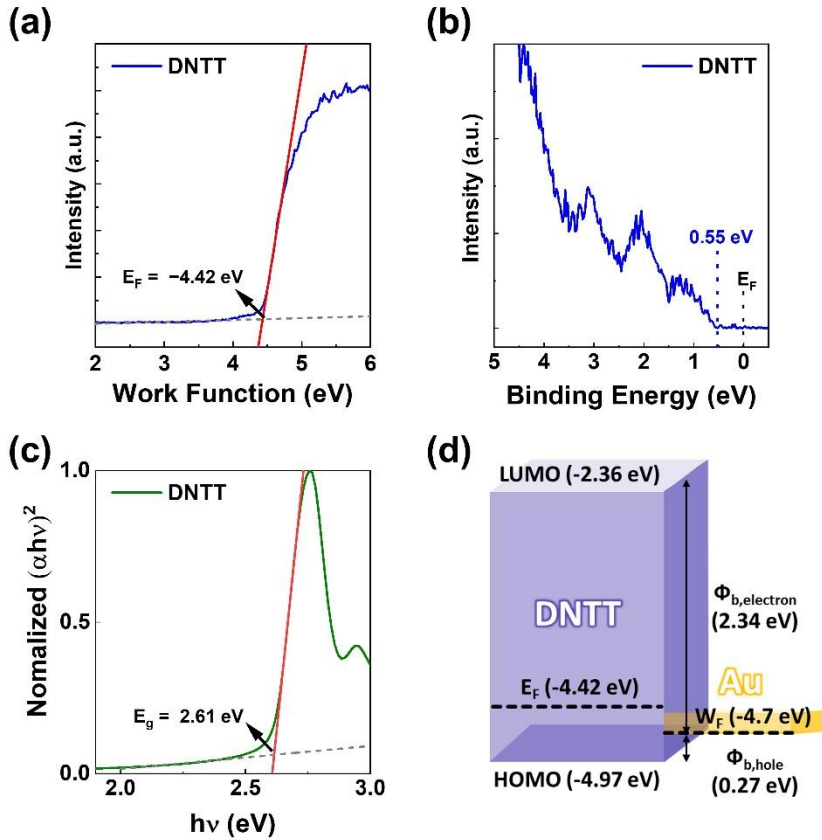


그림. 3.10 UPS를 통해 측정된 DNTT의 (a) 이차 컷오프 영역 및 (b) 가전자대 가장자리 영역. (c) DNTT의 광학 밴드갭 추출을 위한 흡광도에 기반한 Tauc plot. (d) DNTT와 Au 사이의 전자 및 정공 주입 장벽.

3.3.2 광 메모리 트랜지스터의 동작 메커니즘

제안된 광 메모리 트랜지스터의 작동 메커니즘을 설명하기 위한 에너지 밴드 다이어그램은 그림. 3.11 에 나타났다. Erasing 동작의 경우, 낮은 정공 주입 장벽($\phi_{b, \text{hole}} = 0.27 \text{ eV}$) 덕분에 Au 에서 DNTT 로 주입된 정공은 높은 음의 게이트 전압에 의해 터널링 절연막을 터널링하여 CuO NPs 에 트랩된다 (그림. 3.11a). 그 결과로 전달 곡선이 음의 방향으로 이동한 것이다. 그런 다음 dark 아래에서의 programming 동작의 경우에는 높은 양의 게이트 전압에도 불구하고 E-state 와 거의 동일한 전달곡선 특성을 나타냈다 (그림 3.3b). 위에서 언급한 바와 같이, Au 에서 DNTT 로의 전자 주입은 상당히 높은 전자 주입 장벽 ($\phi_{b, \text{electron}} = 2.34 \text{ eV}$)에 의해 제한되기 때문에 플로팅-게이트인 CuO NPs 에 트랩 가능한 전자가 발생하지 않았다 (그림. 3.11b). Au 에서 DNTT 로의 전자 주입의 어려움은 빛이 조사되는 환경에서의 programming 동작에서도 여전히 존재한다. 그러나 빛이 조사되면 Au 로부터 전자가 주입되지 못하더라도 빛 에너지에 의해 DNTT 에서 전자가 여기된다. 이 때 생성된 전자는 높은 양의 게이트 전압에 의해 CuO NPs 에 트랩될 수 있다 (그림. 3.11c). 전달 곡선의 양의 방향으로의 이동은 플로팅-게이트에서 전자가 트랩된 결과이다 (그림. 3.3c).

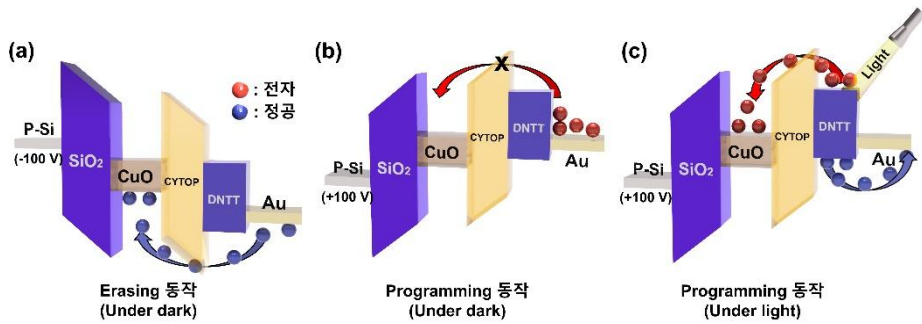


그림. 3.11 (a) 높은 음의 게이트 전압 ($V_G = -100\text{ V}$)을 통한 erasing 동작. (b) dark 아래에서 높은 양의 게이트 전압을 통한 programming 동작 ($V_G = 100\text{ V}$). (c) 빛 조사 하에서 생성된 전자를 사용한 높은 양의 게이트 전압 ($V_G = 100\text{ V}$)을 통한 programming 동작.

IV. 광 메모리 트랜지스터 어레이를 이용한 이미지 검출 시연

더 나아가 우리는 제안된 광 메모리 트랜지스터를 사용하여 4인치 웨이퍼 기판에 총 144개의 소자로 구성된 12×12 광 메모리 트랜지스터 어레이를 제작했다. 제작된 광 메모리 트랜지스터 어레이는 그림 4.1과 같다. 어레이를 구성하는 모든 광 메모리 트랜지스터의 초기 상태의 전달 곡선은 그림. 4.2a에 나타냈다. 어레이를 구성하는 모든 소자의 초기 전달 곡선에서 V_{th} 의 평균 값은 -2.94 ± 0.64 V로 균일함을 확인했다. 또한 그림. 4.2b와 같이 모든 광 메모리 트랜지스터에서 빛에 의존적인 메모리 특성이 나타난 것을 확인했다. 우리는 12×12 광 메모리 트랜지스터 어레이에서 programming 동작과 관련하여 인접한 장치들 사이의 간섭 문제를 조사했다. 그 결과로 특정 위치의 광 메모리 트랜지스터의 programming 동작은 해당 소자와 인접한 주변의 다른 광 메모리 트랜지스터 메모리 상태에는 영향을 주지 않는다는 것을 확인했다 (그림. 4.3). 이는 플로팅-게이트인 CuO NPs가 코팅 과정에서 섬 형태로 적절히 분산되어 인접한 소자들 간의 플로팅-게이트가 분리될 수 있었기 때문이다. 그림. 4.4는 E-state 및 P-state의 I_{Read} 의 매핑 이미지를 나타낸다. 측정된 I_{Read} 를 기반으로 모든 광 메모리 트랜지스터의 P-state와 E-state 가 10^6 의 높은 $I_{P-state}/I_{E-state}$ 로 빛에 의존적인 메모리 거동에 따라 명확하게 구별됨을 확인하였다 (그림. 4.5). 또한 144개의 광 메모리 트랜지스터에 대한 E-state와 P-상태의 V_{th} 분포는 그림. 4.6에 나와 있다. V_{th} 분포는 E-state의 경우 -6.73 ± 0.8 V, P-state의 경우 30.7 ± 8.2

V와 같았다.

최종적으로 그림. 4.7a 과 같이 제작된 12×12 광 메모리 트랜지스터 어레이에서 모든 소자를 순차적으로 프로그래밍하는 방식을 통해 문자 이미지의 검출 및 저장을 시연했다. 우리는 알파벳 이미지 "G"에 해당하는 소자 위치에만 programming 동작 시에 빛을 조사하고, 그 외의 소자들은 dark 아래에서 programming 하였다. 이후 모든 소자들의 V_{th} 와 I_{Read} 를 추출하고 매핑함으로써 알파벳 "G" 이미지를 성공적으로 얻었다 (그림. 4.7b, c).

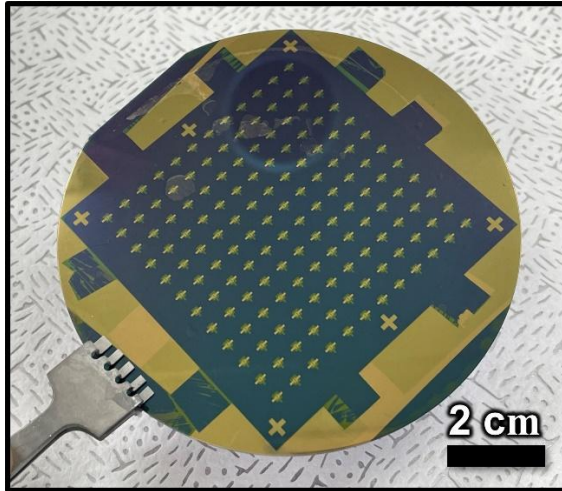


그림. 4.1 4인치 웨이퍼에 제작된 12×12 광 메모리 트랜지스터 어레이.

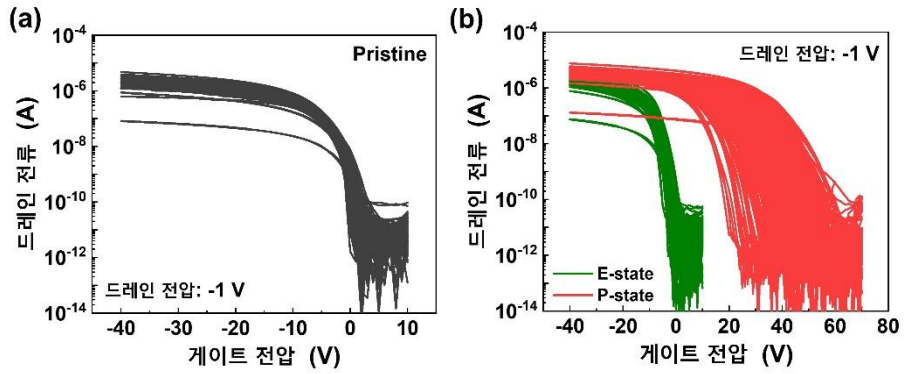


그림. 4.2 12×12 광 메모리 트랜지스터 어레이를 구성하는 모든 소자의 원래 상태, E-state 및 P-state의 전달 곡선.

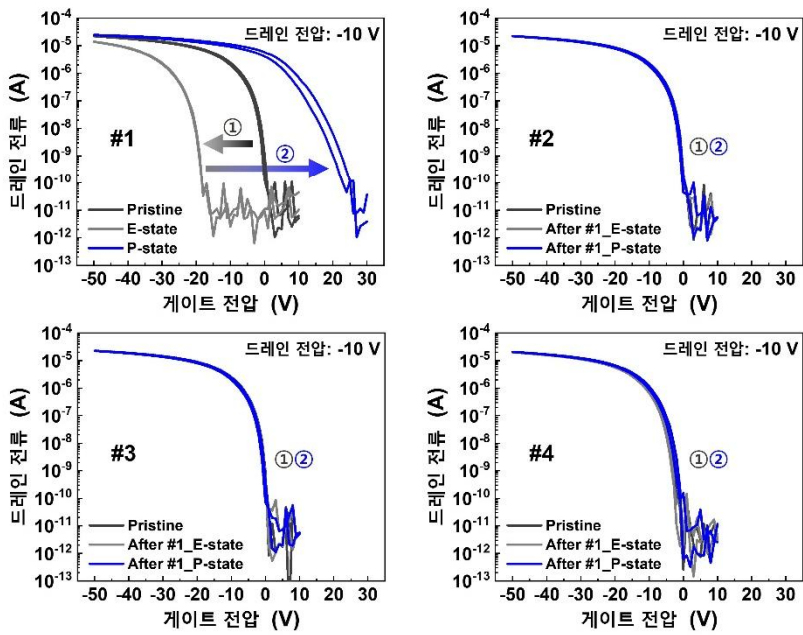
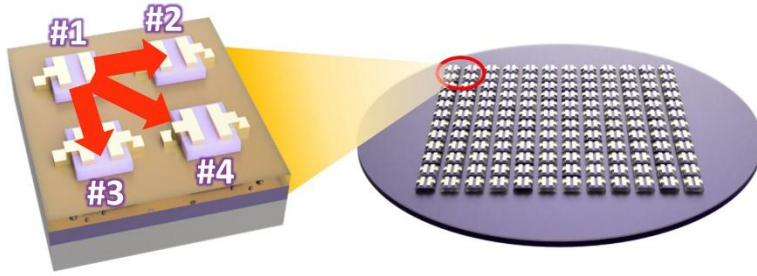


그림. 4.3 12×12 광 메모리 트랜지스터 어레이에서 특정 소자의 programming 동작이 해당 소자와 인접한 소자에 미치는 영향의 존재 여부를 확인하기 위한 인접한 4개의 광 메모리 트랜지스터의 전기적 특성.

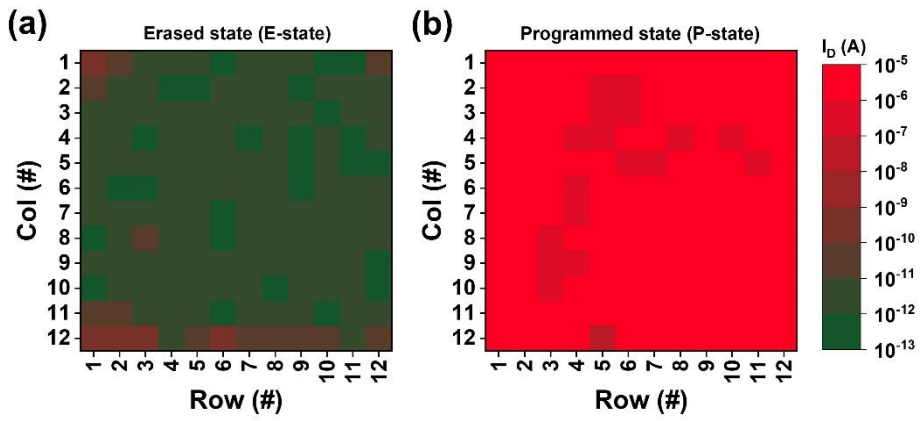


그림. 4.4 144개의 광 메모리 트랜지스터의 E-state 및 P-state의 균일도를 확인하기 위한 I_{Read} 의 매핑.

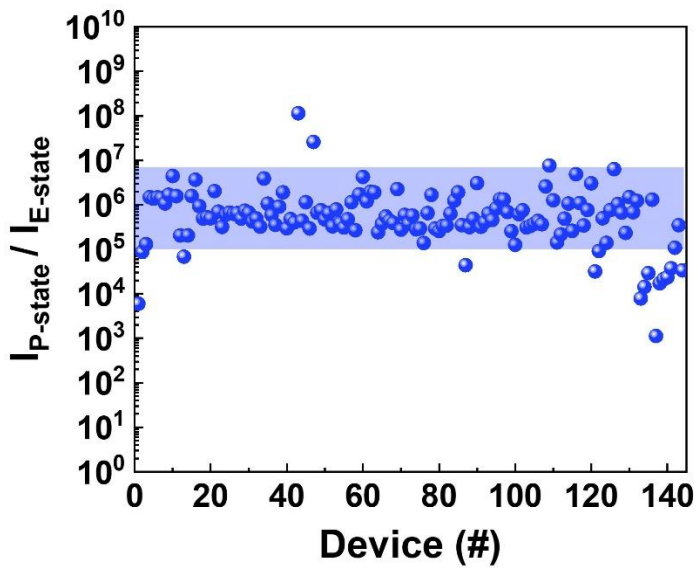


그림. 4.5 144개의 광 메모리 트랜지스터의 P-state와 E-state의 I_{Read} 비 ($I_{P\text{-state}}/I_{E\text{-state}}$).

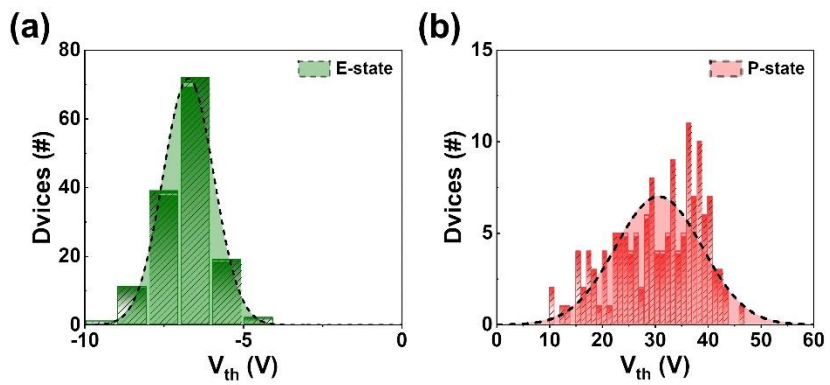


그림. 4.6 144개의 광 메모리 트랜지스터의 (a) E-state 및 (b) P-state에서의 V_{th} 분포.

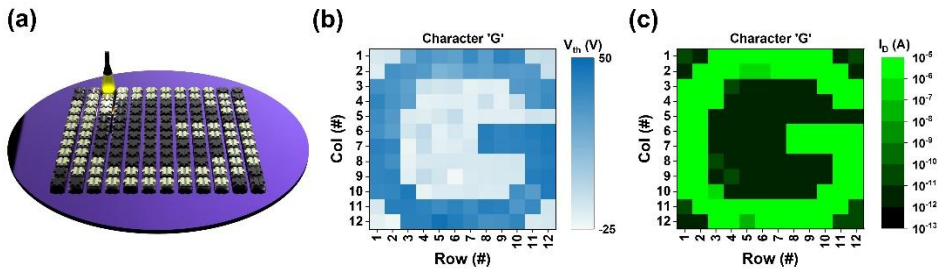


그림. 4.7 (a) 12×12 광 메모리 트랜지스터 어레이의 부분적인 빛 조사 아래에서 문자 이미지의 검출 및 저장 모식도. 12×12 광 메모리 트랜지스터 어레이를 구성하는 144개 소자의 P-state에서의 (b) V_{th} 및 (c) I_{Read} 를 통한 문자 "G" 매핑.

V. 결론

본 연구에서, 4 인치 웨이퍼 기판에 100% 수율을 갖는 144 개의 소자로 구성된 12×12 광 메모리 트랜지스터 어레이를 시연했다. 제안된 소자는 저분자 유기 반도체/CYTOP/CuO NPs 과 같은 적층 구조를 갖으며, CYTOP 의 도입으로 144 개 소자 모두 이력 특성이 없는 스위칭 거동을 보였다. 또한 통계 분석을 통해서 P-state 및 E-state 에서의 V_{th} 의 변동은 각각 2%와 20.2%로 균일한 V_{th} 분포가 나타났다. 이 연구 결과는 이력 특성이 없는 전달 곡선, 100%의 우수한 수율 및 4 인치 웨이퍼의 대면적 제조 와 관련하여 144 개의 장치의 12×12 어레이를 입증함으로써 소자 수준의 광 메모리 트랜지스터를 넘어서 보다 실용적인 센서 어레이로 확장할 수 있는 가능성을 보여주었다. 또한 광 메모리 트랜지스터의 동작 원리를 조사하기 위해 AFM, 단면 SEM, UPS 및 UV-Vis 분광법을 포함한 포괄적인 분석을 통해 빛에 의존적인 메모리 특성을 분석했다. 제안된 빛 의존적인 메모리 거동은 접촉 금속과 광반응성 채널 사이에 정공 또는 전자 중 하나의 전하에 대한 주입 장벽을 형성할 수 있다면 다양한 재료를 통해서도 구현될 수 있다. 본 연구의 종합적인 분석을 통해 제안된 광 메모리 트랜지스터는 서론에서 언급한 (1)-(5)의 다섯 가지 기술적 요구사항을 충족시켜 기초적인 연구 수준을 넘어 실질적인 응용으로의 가능성을 보였다. 따라서 본 연구는 미래 기술 중에서도 영상 처리를 기반으로 한 차세대 애플리케이션 개발에 기여할 수 있을 것으로 기대된다.

참고문헌

1. Shakya, S., Analysis of artificial intelligence based image classification techniques. *Journal of Innovative Image Processing (JIIP)*, 2020. 2(01): p. 44-54.
2. Kumar, M., et al. Image Recognition Using Artificial Intelligence. in *2021 International Conference on Advance Computing and Innovative Technologies in Engineering (ICACITE)*. 2021. IEEE.
3. Kumar, M., et al., Ultrafast Nanoscale Gradient Junction Self-Powered Schottky Photodetectors for Vision-Like Object Classification. *Advanced Optical Materials*, 2021. 9(16): p. 2100208.
4. Jayachandran, D., et al., A low-power biomimetic collision detector based on an in-memory molybdenum disulfide photodetector. *Nature Electronics*, 2020. 3(10): p. 646-655.
5. Mennel, L., et al., Ultrafast machine vision with 2D material neural network image sensors. *Nature*, 2020. 579(7797): p. 62-66.
6. You, J.-H., et al., A novel LiDAR sensor alignment inspection system for automobile productions using 1-D photodetector arrays. *Measurement*, 2021. 183: p. 109817.
7. Ding, X., et al., Wearable sensing and telehealth technology with potential applications in the coronavirus pandemic. *IEEE reviews in biomedical engineering*, 2020. 14: p. 48-70.

8. Shen, Y.-T., et al., Digital Technology-Based Telemedicine for the COVID-19 Pandemic. *Frontiers in medicine*, 2021. 8: p. 933.
9. Giorgio, A., Innovative medical devices for telemedicine applications. *Telemedicine Techniques and Applications*, 2009.
10. Li, W., et al., A tricolour photodetecting memory device based on lead sulfide colloidal quantum dots floating gate. *Organic Electronics*, 2019. 75.
11. Chiang, Y.C., et al., High-Performance Nonvolatile Organic Photonic Transistor Memory Devices using Conjugated Rod-Coil Materials as a Floating Gate. *Adv Mater*, 2020. 32(36): p. e2002638.
12. Shiono, F., et al., Optical memory characteristics of solution-processed organic transistors with self-organized organic floating gates for printable multi-level storage devices. *Organic Electronics*, 2019. 67: p. 109-115.
13. Li, Q., et al., Photoerasable Organic Field-Effect Transistor Memory Based on a One-Step Solution-Processed Hybrid Floating Gate Layer. *The Journal of Physical Chemistry C*, 2020. 124(42): p. 23343-23351.
14. Hartmann, C. and D. Fey, An extended analysis of memory hierarchies for efficient implementations of image processing applications. *Journal of Real-Time Image Processing*, 2018. 14(3): p. 713-728.

15. Zhao, J., et al., Synthesis, characterization and charge storage properties of π -biindolo[2,3-b]quinoxaline for solution-processing organic transistor memory. *Dyes and Pigments*, 2019. 167: p. 255-261.
16. Jin, R., et al., Multilevel storage and photoinduced-reset memory by an inorganic perovskite quantum-dot/polystyrene floating-gate organic transistor. *RSC Advances*, 2020. 10(70): p. 43225-43232.
17. Wu, X., et al., High performance flexible multilevel optical memory based on a vertical organic field effect transistor with ultrashort channel length. *Journal of Materials Chemistry C*, 2019. 7(30): p. 9229-9240.
18. Chen, M.-N., et al., Unveiling the Photoinduced Recovery Mystery in Conjugated Polymer-Based Transistor Memory. *ACS Applied Materials & Interfaces*, 2021. 13(37): p. 44656-44662.
19. Li, Q., et al., Hybrid Floating Gate Memory with a Large Memory Window Based on the Sandwich Structure. *The Journal of Physical Chemistry C*, 2021. 125(23): p. 12903-12909.
20. Yi, M., et al., Light programmable/erasable organic field-effect transistor ambipolar memory devices based on the pentacene/PVK active layer. *Journal of Materials Chemistry C*, 2015. 3(20): p. 5220-5225.
21. Obrezkov, F.A., et al., Light-Sensitive Material Structure-Electrical Performance Relationship for Optical Memory Transistors Incorporating

- Photochromic Dihetarylethenes. *ACS Applied Materials & Interfaces*, 2020. 12(29): p. 32987-32993.
22. Gao, X., et al., Photon-energy-dependent light effects in organic nano-floating-gate nonvolatile memories. *Organic Electronics*, 2014. 15(10): p. 2486-2491.
 23. Guo, X., et al., Ultraviolet-electrical erasing response characteristics of Ag@ SiO₂ core-shell functional floating gate organic memory. *Organic Electronics*, 2021. 93: p. 106149.
 24. Kim, Y.-M., S.-J. Kim, and J.-S. Lee, Organic-transistor-based nano-floating-gate memory devices having multistack charge-trapping layers. *IEEE Electron Device Letters*, 2010. 31(5): p. 503-505.
 25. Kang, M., et al., Printed, flexible, organic nano-floating-gate memory: Effects of metal nanoparticles and blocking dielectrics on memory characteristics. *Advanced Functional Materials*, 2013. 23(28): p. 3503-3512.
 26. Hong, S., et al., Multifunctional molybdenum disulfide flash memory using a PEDOT: PSS floating gate. *NPG Asia Materials*, 2021. 13(1): p. 1-11.
 27. Lee, S., et al., Organic flash memory on various flexible substrates for foldable and disposable electronics. *Nature communications*, 2017. 8(1): p. 1-9.
 28. Baeg, K.J., et al., Controllable shifts in threshold voltage of top-gate polymer field-effect transistors for

applications in organic nano floating gate memory.
Advanced Functional Materials, 2010. 20(2): p. 224-230.

29. Yoo, H., et al., Balancing hole and electron conduction in ambipolar split-gate thin-film Transistors. *Scientific reports*, 2017. 7(1): p. 1-13.

발표 논문

Journal

- [1] **Kim, Seongjae**, and Hocheon Yoo. "Self-assembled monolayers: Versatile uses in electronic devices from gate dielectrics, dopants, and biosensing linkers." *Micromachines* 12.5 (2021): 565.
- [2] **Kim, Seongjae**, Seongin Hong, and Hocheon Yoo. "Location-dependent multi-parameter detection behaviors using hetero-interfaced organic anti-ambipolar phototransistors." *Sensors and Actuators A: Physical* 330 (2021): 112888.
- [3] **Kim, Seongjae**, Seongin Hong, and Hocheon Yoo. "Control of Charge Transport Properties in Molybdenum Diselenide Field-Effect Transistors for Enhanced Noise-Margin and Inverter Characteristics." *IEEE Transactions on Nanotechnology* (2022).
- [4] Seo, Juhyung, **Seongjae Kim**, and Hocheon Yoo. "A Complementary Logic-in-Memory Inverter from Organic-Inorganic Hybrid Transistors." *IEEE Electron Device Letters* 43.11 (2022): 1902-1904.
- [5] **Kim, Seongjae**, Juhyung Seo, Teahyun Park, and Hocheon Yoo. "Interface Trap-Free, 100% Yield, Wafer-Scale, Non-Volatile Optically-Guided Memory Array from Cumulatively-Stacked Small Molecules/Fluoropolymer/Copper-Oxide Nanoparticles Heterostructure." *Advanced Electronic Materials* (2022): 2200752.

- [6] **Kim, Seongjae**, Juhyung Seo, Junhwan Choi, and Hocheon Yoo. "Vertically Integrated Electronics: New Opportunities from Emerging Materials and Devices." Nano-Micro Letters 14.1 (2022): 1-29.

Conference

- [1] **Seongjae Kim**, Seongin Hong, and Hocheon Yoo, "Heterostructured Anti Ambipolar Phototransistors using Small Molecules based Organic Semiconductors", The 28th Korean conference on semiconductors, Online, Jan 25~29, 2021
- [2] **Seongjae Kim**, Seongin Hong, and Hocheon Yoo, "MoSe₂ Transistor with Improved P-type Characteristics through Low-Temperature Annealing", The 21st International Meeting on Information Display, COEX, Seoul, Korea, Aug 25~27, 2021
- [3] **Seongjae Kim**, Juhyung Seo, Taehyun Park, and Hocheon Yoo, "Optically Programmable Multi-State Small Molecules Memory Transistors with Channel Thickness Dependent Characteristics", The 29th Korean conference on semiconductors, High-one Resort, Jeongseon, Korea, Jan 24~26, 2022
- [4] **Seongjae Kim**, Juhyung Seo, Taehyun Park, and Hocheon Yoo, "Wafer-Scale Optical Memory Array with Light Intensity-Dependent Multi-Memory States", The 22nd International Meeting on Information Display, BEXCO, Busan, Korea, Aug 23~26, 2022
- [5] **Seongjae Kim**, Seongin Hong, and Hocheon Yoo, "Small Molecule Organic Semiconductor-based Heterojunction Phototransistor with Location-Dependent Photoresponse Characteristics", The 17th International Thin-Film

Transistor Conference, University of Surrey, Guildford, UK, Sep 14~16, 2022

- [6] **Seongjae Kim**, Seengin Hong, and Hocheon Yoo, “ Hetero-interfaced Anti-ambipolar Phototransistor Capable of Distinguishing Wavelength Bands of Light” , 2022 MRS Fall Meeting, Boston, Massachusetts, USA, Nov 27~Dec 2, 2022
- [7] **Seongjae Kim**, Juhung Seo, Taehyun Park, and Hocheon Yoo, “ 100% Yield, 4-Inch Wafer-Scale Non-Volatile Optically-Guided Organic-Inorganic Heterostructure Memory Array with Simultaneous Detection and Storage of Text Image ” , 2022 MRS Fall Meeting, Boston, Massachusetts, USA, Nov 27~Dec 2, 2022
- [8] **Seongjae Kim**, Yunchae Jeon, and Hocheon Yoo, “ Gate/Light Co-Tunable Negative Differential Resistance Behaviors from Small-Molecules Heterostructure ” , 2022 MRS Fall Meeting, Boston, Massachusetts, USA, Nov 27~Dec 2, 2022

ABSTRACT

Development of floating-gate transistors capable of photodetection and information storage

Kim, Seongjae

Advised by Prof. Yoo, Hocheon

Dept. of Electronic Engineering

Graduate School of Gachon

University

In this study, we characterize an optical memory transistor that can simultaneously perform photodetection and information storage functions in one device and analyze its mechanism. In a conventional image detection system, since light detected by a photodetector is converted into an electrical signal and stored in a memory device through a metal wire, a signal delay occurs between the memory device and the photodetector. However, in the case of an optical memory transistor, both functions are performed in one device. Therefore, unnecessary propagation delay problems can be solved by decreasing the metal wiring

between the photodetector and the memory device, and the image recognition system can be miniaturized because the two different functions of each device can be operated simultaneously. These advantages make optical memory transistors a potential element for next-generation applications where image sensing is paramount. Therefore, we investigate the mechanism of light-dependent memory operation characteristics of dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene (DNTT)-based optical memory transistors with stacked structures such as fluoropolymer/CuO NPs through comprehensive analyzes using scanning electron microscopy (SEM), atomic force microscopy (AFM), ultraviolet photoelectron spectroscopy (UPS), and ultraviolet-visible spectroscopy (UV-Vis). In addition, the memory state for the light intensity of the proposed optical memory transistor was analyzed. Finally, a 12×12 optical memory transistor array is implemented, and text image detection and storage are demonstrated whether the absence or presence of light irradiation.

광 검출 및 정보 저장에 가능한 플로팅 게이트 트랜지스터 개발

金成宰